Implementação em Hardware de Protocolos para Redes de Alta Velocidade a partir de uma Descrição Formal*

Emerson Carli, Ricardo Neimo B. Lima, Aloysio de C. P. Pedroza
Luci Pirmez, Antônio C. de Mesquita

{emerson,belem,aloysio}@gta.ufrj.br
luci@nce.ufrj.br, mesquita@lpc.ufrj.br

Grupo de Teleinformática e Automação - GTA
COPPE/PEE - Programa de Engenharia Elétrica
Universidade Federal do Rio de Janeiro
C.P. 68504 - CEP 21945-970 - Rio de Janeiro - RJ - Brasil

Resumo

O alto desempenho de subsistemas de comunicação é obtido com a otimização em software dos protocolos de redes de alta velocidade e também com sua implementação em hardware. Este trabalho faz uso de uma metodologia que consiste na tradução de especificações feitas numa Técnica de Descrição Formal (Estelle) para uma linguagem de descrição de hardware (VHDL), com vistas à síntese de alto nível de protocolos. Foram escolhidos dois protocolos atuais, IP*v*6 e AAL5, capazes de suprir as necessidades decorrentes do surgimento de novas aplicações e decorrentes desenvolvimento das redes de alta velocidade.

Abstract

High performance in communication subsystems is obtained with software optimization of high speed protocols and with their implementation in hardware. This work follows a methodology that efficiently translates specifications described in a Formal Description Technique (Estelle) into VHDL, allowing high level synthesis of protocols. We chose two current protocols, IPv6 and AAL5, which are able to support the requirements of the novel applications and of the development of high speed networks.

* Este trabalho foi realizado com recursos da UFRJ, FUJB, PROTEM-CC, CNPq, CAPES e COFECUB.

1 Introdução

Os avanços nas tecnologias de semicondutores e de fibras ópticas vêm permitindo o desenvolvimento de redes de comunicação cada vez mais velozes e confiáveis. Desta forma, o ponto crucial na obtenção de um bom desempenho passa a ser a quantidade de processamento necessária para executar as funções dos protocolos de comunicação e não mais a limitação de velocidade de transmissão no meio.

Essas mudanças na tecnologia e o surgimento de aplicações multimídias demandam modificações no projeto de protocolos. Por um lado, os protocolos precisam ser mais simples para permitir operações de alta velocidade. Por outro, devem ser mais eficientes de modo a suportar os tráfegos multimídias.

Entretanto, a obtenção de subsistemas de comunicação de alto desempenho nem sempre é possível somente com a otimização em software dos protocolos de redes de alta velocidade, sendo necessário às vezes implementá-los em hardware. Neste caso, é mais conveniente iniciar o projeto através de especificações baseadas em Técnicas de Descrição Formal (TDFs), tais como Estelle, o que facilita a modelagem da hierarquia e da comunicação entre processos, além de permitir o uso de ferramentas mais familiares ao projetista de protocolos.

Objetivando atender a implementação em hardware de protocolos de comunicação, faz-se uso de uma metodologia que consiste na tradução de especificações em Estelle para descrições em VHDL (*Very high speed integrated circuit Hardware Description Language*) [1,2,3,4]. Este passo é necessário para a utilização de ambientes específicos de projeto de hardware, tais como as ferramentas de síntese de alto nível. O VHDL é a linguagem de descrição de hardware de maior aceitação tanto pela indústria quanto pelos grupos de pesquisa, sendo utilizada pela maioria das ferramentas de síntese atuais.

Este trabalho utiliza esta metodologia para o projeto em hardware de dois protocolos atuais: o protocolo IP*v*6, nova versão proposta para o protocolo IP e o protocolo AAL5, que permite a transferência de mensagens de acordo com a estrutura do ATM.

Este artigo está estruturado da seguinte forma. A seção 2 apresenta a metodologia Estelle-VHDL e o estilo de descrição adotado. Na seção 3 são apresentados os protocolos AAL5 e IP*v*6. A seção 4 apresenta a arquitetura definida para este trabalho. Na seção 5 estão detalhados os resultados obtidos na simulação e na síntese em VHDL. Os comentários finais e as conclusões encontram-se na seção 6.

2 Mapeamento Estelle-VHDL e Estilos de Descrição

A metodologia empregada neste trabalho tem como ponto de partida uma especificação corretamente compilada e simulada obtida com o uso de um ambiente adequado para o desenvolvimento de protocolos em Estelle [5,6]. Em seguida, esta especificação é traduzida numa descrição na linguagem VHDL.

2.1 As Linguagens Estelle e VHDL

A linguagem Estelle é uma Técnica de Descrição Formal desenvolvida pela ISO para a especificação de sistemas distribuídos. Estelle é utilizada como um meio de remover as ambigüidades encontradas nas descrições informais dos protocolos de comunicação.

VHDL é uma linguagem padrão desenvolvida pelo Departamento de Defesa Americano (DoD) para a descrição e a simulação de estruturas de hardware em diferentes níveis de abstração e domínios de descrição, indo do comportamental ao estrutural. A descrição comportamental permite a especificação de funções de um projeto utilizando estruturas familiares da linguagem de programação. No domínio estrutural, as estruturas que implementam um dado comportamento são descritos, bem como sua decomposição em sub-projetos e a interligação entre eles.

2.2 A Estratégia de Mapeamento

Uma especificação em Estelle é composta por um conjunto de *módulos* organizados de forma hierárquica e uma descrição VHDL é composta por um conjunto de *entidades* independentes. Assim, cada módulo Estelle pode ser mapeado em uma entidade VHDL, conforme mostrado na figura 1.

A hierarquia existente entre módulos Estelle é mantida em VHDL através da declaração *component* como mostrado na figura 1 (mapeamento 5). Cada uma destas declarações corresponde a uma entidade e sua respectiva descrição é armazenada em bibliotecas. A instrução *component instantiation* do VHDL é usada para criar instâncias de entidades VHDL (análoga à função *init* do Estelle) cujas portas são ou conectadas aos sinais correntes ou às portas da entidade (análogas às funções *connect* e *attach* do Estelle) como mostrado na figura 1 (mapeamento 7). A ligação de uma entidade VHDL à sua instância é efetuada através da declaração *configuration* como mostrado na figura 1 (mapeamento 8).

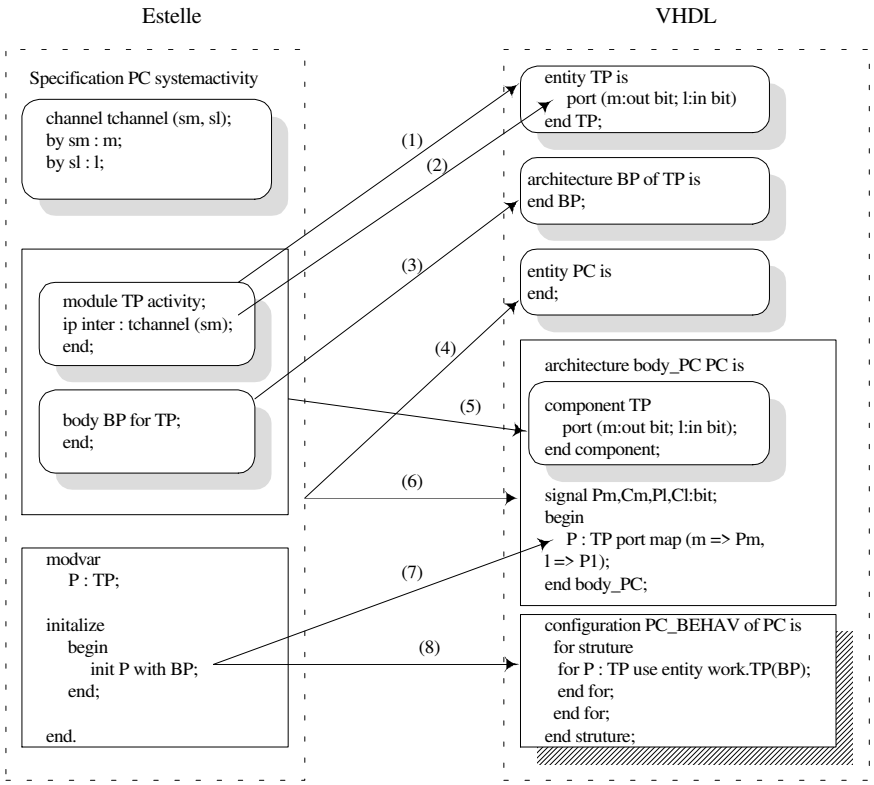

Figura 1 - Mapeamento Estelle-VHDL

Cada módulo Estelle é composto de duas partes: O cabeçalho (*module*) e um ou mais corpos (*body*). A visão externa é definida no cabeçalho e o comportamento interno é descrito no corpo. Cada descrição VHDL é também composta de dois segmentos: Uma interface (*entity*) e um conjunto de um ou mais corpos (*architecture*). Desta forma, o par module-body em Estelle corresponde ao par entity-architecture em VHDL, respectivamente, como é mostrado na figura 1 (mapeamentos 1, 3, 4 e 6).

No cabeçalho de um módulo Estelle, cada interação (primitiva) que faz parte do conjunto de interações pertencente a um dado ponto de interação irá corresponder a um sinal de uma porta de uma entidade VHDL. O tipo de sinal será *input* ou *output* dependendo do papel tomado pela interação, podendo ser de recepção ou de transmissão, respectivamente, como mostrado na figura 1 (mapeamento 2).

Uma vez que não existem conceitos em VHDL equivalentes aos tipos de paralelismo existentes entre instâncias de módulos Estelle, uma conversão eficiente de Estelle para VHDL requer as restrições definidas em [7] para Estelle e que correspondem ao dialeto denominado Estelle*. Isto permite representar de uma forma assíncrona o paralelismo existente entre instâncias de módulo Estelle do tipo activity dentro do tipo de especificação systemactivity.

O comportamento de um módulo é descrito pelas partes de inicialização e de transição do corpo. A execução de ambas as partes é seqüencial. O mapeamento de cláusulas Estelle em estruturas VHDL é trivial e o conjunto em VHDL é incluído na declaração *process*. As cláusulas de Estelle "**from** *estado*", "**when** *ponto-de-interação.interação*", "**provided** *expressão*", "**to** *estado*" e "**output** *ponto-de-interação.interação(msg)*" são convertidas diretamente em VHDL para "**when** *state* => *da estrutura case*", "**wait until** *condição*", "**if** *expressão* **then...**", "**state :=** *atribuição ao estado*" e "*interaction* <= *msg*". As instruções em Estelle "**procedure** *name* (*lista de parâmetros*)" e "**function** *name* (*lista de parâmetros*) : *tipo do parâmetro do retorno*" são diretamente convertidas em declarações VHDL equivalentes.

Um protocolo pode ser especificado por diferentes estilos de descrição comportamental em VHDL. Tais estilos fornecem descrições de igual semântica que diferem somente na qualidade da estrutura gerada na síntese de alto nível (*High-level Synthesis - HLS*). A qualidade da descrição estrutural de saída fornecida pela HLS, é medida pelo número de estados e caminhos gerados pelo processo específico de "scheduling" executado durante uma HLS.

São propostos e analisados em [8] diversos estilos de descrição. Neste trabalho será utilizado o estilo descrito abaixo, por ter apresentado os melhores resultados:

- a modelagem do protocolo em máquina de estados (FSM) corresponde ao processo VHDL. Este processo é composto de dois loops: Um externo, que modela a reinicialização do processo e um interno que modela a FSM do protocolo;
- a instrução "**wait until...**" é posta no início do loop mais interno, onde os sinais de controle são testados;
- a máquina de estados pode ser construída utilizando a instrução "**case...**" ou a construção "**if**...**then**...**elsif**...**end if**". Em ambas as soluções, a escolha de testar inicialmente o estado ou as condições de entrada depende se o processamento é mais dependente do estado ou das condições de entrada;
- após o uso da instrução "**case**..." ou da construção "**if**...**then**...**elsif**...**end if**", os diferentes sinais de controle recebem o valor zero.

3 Os Protocolos AAL5 e IPv6

O AAL5 e o IP*v*6 pertencem à nova geração de protocolos. São capazes de implementar redes de alta velocidade e proporcionar funcionalidades exigidas pelas novas aplicações.

3.1 O AAL5

O Modo de Transferência Assíncrono (*ATM - Asynchronous Transfer Mode*) implementa uma rede universal capaz de suportar um largo número de serviços. A adoção do ATM como solução para implementação de redes de alta velocidade se deve às vantagens que esta tecnologia possui, tais como flexibilidade, independência da taxa de transmissão e comutação de todos os serviços em uma estrutura única.

Dentre as três camadas presentes nesta tecnologia - Física, ATM e AAL (*ATM Adaptation Layer*) - a camada AAL é a responsável em adaptar toda a atual arquitetura de mais alto nível a este novo modelo. Ela tem como função efetuar as adaptações necessárias para compatibilizar e oferecer os serviços desejados pelas camadas superiores, utilizando tecnologia ATM.

Existem várias classes de serviços suportados por esta tecnologia e cada uma é provida de uma camada de adaptação diferente. Isto quer dizer que o seu propósito é acrescentar funcionalidades para cada camada de adaptação ATM, de modo a diferenciar as classes de serviços exigidas pelas camadas superiores.

Dentre essas classes de serviço e suas respectivas camadas de adaptação, a AAL5 [9] é a que foi elaborada para ser usada em serviços de dados orientados a conexão ou não. A transferência de dados é feita em operação assegurada ou não assegurada, suportando deteção de erros sem fazer recuperação de pacotes perdidos. Sua elaboração teve o propósito de reduzir o processamento de protocolo e o overhead de transmissão, diminuindo significativamente a complexidade de implementação, o que vem de encontro com as novas características que os protocolos de redes de alta velocidade atuais devem possuir.

O protocolo AAL5 é composto por duas subcamadas: **SAR** (*Segmentation and Reassembly sublayer*) e **CPCS** (*Common Part Convergence Sublayer*). A subcamada CPCS adiciona cabeçalhos aos quadros do usuário e assegura integridade no nível de quadros. A subcamada SAR é responsável pela fragmentação da informação de modo a poder se acomodar nas células ATM e pela remontagem da informação a partir das células recebidas.

3.2 O IP*v*6

O atual protocolo IP (IP*v*4) tornou-se inadequado para suportar os novos requisitos de performance e de funcionalidades para a Internet. Em resposta, pesquisas foram realizadas e chegou-se ao desenvolvimento de uma nova versão deste protocolo, oficialmente chamado de **IP*v*6** [10,11]. Resumidamente, as mudanças introduzidas para o IP*v*6 podem ser vistas sob 3 aspectos:

Endereços maiores - O novo tamanho destinado aos campos de endereçamento do datagrama é a mudança mais perceptível. O protocolo IP*v*6 quadruplicou o tamanho de endereçamento do IP*v*4 de 32bits para 128 bits.

Cabeçalho de formato flexível - O protocolo IP*v*6 utiliza um formato completamente novo para seu datagrama. Ao contrário do IP*v*4 que usa um cabeçalho único de tamanho variável, o protocolo IP*v*6 utiliza um cabeçalho básico de tamanho fixo seguido ou não de cabeçalhos opcionais.

Suporte aos tráfegos multimídias - O protocolo IP*v*4 praticamente não oferece nenhuma assistência nessa área. Já o IP*v*6 permite que os datagramas pertencentes a um mesmo fluxo sejam "rotulados", traduzindo desta maneira o tratamento especial que devem ter por parte dos roteadores intermediários.

O protocolo IP*v*6 mantém ainda muitas das características do IP*v*4, tais como: (1) o algoritmo de determinação do próximo nó (estação ou roteador) para o envio de datagramas e (2) a fragmentação/concatenação dos mesmos.

Como um primeiro estudo, este trabalho abordará os procedimentos relativos à fragmentação e concatenação dos datagramas.

4 A Arquitetura Estudada

O crescimento da demanda de informações disponíveis na Internet afeta diretamente a velocidade das mesmas nas redes locais. Isto se deve ao mecanismo de acesso ao meio destas redes, que aloca a banda passante para cada usuário de acordo com a demanda global. Quanto maior o número de usuários, menor a taxa de transmissão efetiva para cada um deles.

O ATM é visto como uma tecnologia emergente capaz de superar os limites existentes na troca de mensagens, uma vez que permite a comunicação entre várias estações simultaneamente. Além disso, a disponibilidade de uma alta banda passante desperta grande interesse em sua utilização.

Levando em consideração as futuras redes, a arquitetura adotada neste trabalho baseia-se na estratégia de implementação do IP*v*6 diretamente acima do ATM. Esta arquitetura pode ser visualizada na figura 2, onde é mostrada a disposição dos protocolos adotados, detalhando o AAL5. Na seção seguinte serão apresentados resultados de síntese referentes ao sub-módulo SAR.

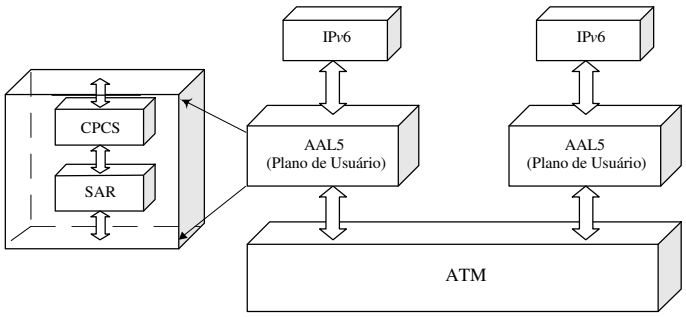

Figura 2 - A abordagem estudada para os protocolos IP*v*6 e AAL5.

Como o trabalho se limita a estudar os procedimentos da comunicação situados no plano de usuário, considera-se que os circuitos virtuais utilizados para a transferência de informações estão disponíveis *a priori*. Assim, o processo de sinalização ATM para ativar e desativar conexões virtuais não será abordado neste trabalho, bem como a comunicação existente entre os planos de usuário e de controle.

5 Resultados

As especificações em Estelle dos protocolos AAL5 e IPv6 foram completamente testadas e validadas usando um conjunto de ferramentas desenvolvidas pelo GTA/COPPE/UFRJ. Estes testes incluíram a simulação usando uma seqüência de testes geradas automaticamente por uma ferramenta especializada e também por uma série de seqüências geradas manualmente. Assim, a correção das especificações dos protocolos foi verificada.

Após o mapeamento do protocolo AAL5 para VHDL, foram feitas simulações que incluíram trocas de mensagens entre usuários, mostrando que o protocolo está de acordo com a especificação proposta e que seu mapeamento foi corretamente efetuado. No atual estágio do trabalho, o protocolo IP*v*6 está sendo mapeado para VHDL.

O protocolo AAL5 descrito em Estelle contém por volta de 750 linhas de código enquanto sua descrição em VHDL contém aproximadamente 1100 linhas. O protocolo IP*v*6 em Estelle contém em torno de 1800 linhas de código. Esse aumento de linhas de código é devido à grande redundância na definição dos sinais nas interfaces em VHDL.

A fim de ilustrar alguns aspectos relevantes da síntese de protocolos, foi tomado como exemplo o submódulo SAR do AAL5, responsável pela segmentação e remontagem da informação.

Uma vez obtida a descrição comportamental VHDL deste submódulo, usou-se o algoritmo de "scheduling" **DLS** (*Dynamic Loop Scheduling*), a fim de tornar possível a utilização da ferramenta de síntese lógica *Synopsys*. A tecnologia usada na síntese lógica foi a ES2 0,7μm.

Adicionalmente, foram feitas algumas experiências relativas ao armazenamento de dados no submódulo SAR. Estas experiências são relevantes devido à complexidade do hardware gerado. A tabela 1 abaixo ilustra este fato.

Tabela 1 - Comparação Tamanho buffer X Hardware sintetizado

Buffer de armazenamento	Número de células do circuito sintetizado	Área total do circuito sintetizado
4 posições	1589	6,04 mm²
16 posições	2317	8,36 mm²
20 posições	2584	9,16 mm²
32 posições	3262	12,21 mm²

Conforme esperado, esta tabela mostra que quanto maior o buffer utilizado para o armazenamento da informação, maior e mais complexo é o circuito sintetizado. Este fato deve ser considerado pelo projetista de protocolo quando da especificação comportamental, tendo em vista que geralmente a especificação em alto nível não permite avaliar de imediato a complexidade do hardware passível de ser gerado.

6 Conclusões

Uma Técnica de Descrição Formal, tal como Estelle, introduz facilidades ao projeto de protocolos na especificação de um subsistema de comunicação. Quando se deseja obter alto desempenho nesses subsistemas, uma possibilidade é sua implementação em hardware. Neste caso, VHDL é a melhor escolha devido à sua grande aceitação e por ser utilizada pela maioria das ferramentas de síntese atuais.

Este trabalho utilizou uma metodologia que traduz Estelle para VHDL, possibilitando assim, a implementação em hardware de dois protocolos atuais (AAL5 e IP*v*6) partindo de uma especificação formal.

Conforme exposto anteriormente, foi verificada a corretude do protocolo AAL5 na simulação em VHDL, o que prova a validade deste mapeamento.

A principal motivação do uso deste mapeamento é facilitar a tarefa dos projetistas de protocolos sem muita experiência em microeletrônica, que podem utilizar uma linguagem de descrição de hardware para a obtenção de subsistemas de alto desempenho. Porém, para a especificação comportamental de um dado protocolo, deve-se ter em mente que algumas estruturas geram uma maior complexidade no circuito sintetizado, como visto no caso do armazenamento de dados.

7 Referências

[1] Pirmez, L., "*Uma Metodologia para a Implementação de Sistemas Distribuídos em Hardware a partir de uma Descrição Formal*", Tese de Doutorado, Universidade Federal do Rio de Janeiro, PEE/COPPE/UFRJ, 238p., Rio de Janeiro, Brasil, 1996.

[2] Pirmez, L., Pedroza, A., Mesquita, A. C., "*A Methodology to developed Integrated Circuits from Estelle Specifications*", 38th Midwest Symposium on Circuits and Systems, Brasil, 1995.

[3] Pirmez, L., Pedroza, A., Mesquita, A. C., "*A Methodology to the Implementation of Distributed System in Hardware from a Formal Description*", 15th Intenational Symposium on Protocol Specification, Testing and Verification, Varsow, Polônia, 1995.

[4] Pirmez, L., Pedroza, A., Mesquita, A. C., "*Mapeamento de Estelle em VHDL e Estilos de Descrição de Protocolos de Comunicação para Síntese de Alto Nível*", XIV SBRC - Simpósio Brasileiro de Redes de Computadores, Fortaleza, Brasil, mai 1996.

[5] Cruz, R., "*Um Compilador para a linguagem Estelle*", M.Sc. COPPE/UFRJ, Engenharia Elétrica, 1991.

[6] Resende, F., "*Um Simulador para a linguagem Estelle*", M.Sc., COPPE/UFRJ, Engenharia Elétrica, 1995.

[7] Courtiat, J. P., "*Estelle*: A powerful Dialect of Estelle for OSI Prococol description*", International Workshop on Protocol Specification verification and testing, Toulouse-Moissac, France, 1988.

[8] Pirmez, L., Pedroza, A., Mesquita, A. C., "*High Level Systhesis of Protocols Described by a Formal Description Technique*", IX IFIP International Conference on VLSI'97, Gramado, RS, Brasil, 1997.

[9] International Telecommunication Union (ITU), ITU-T Recommendation I.363, *B-ISDN ATM Adaptation Layer (AAL) Specification*, mar 1993.

[10] Bradner, S. e Mankin, A., *RFC 1752: The Recommendation for the IP Next Generation Protocol*, Network Working Group, jan 1995.

[11] Deering, S. e Hinden, R., *RFC 1883: Internet Protocol, Version 6 (IPv6) Specification*, Network Working Group, dez 1995.