

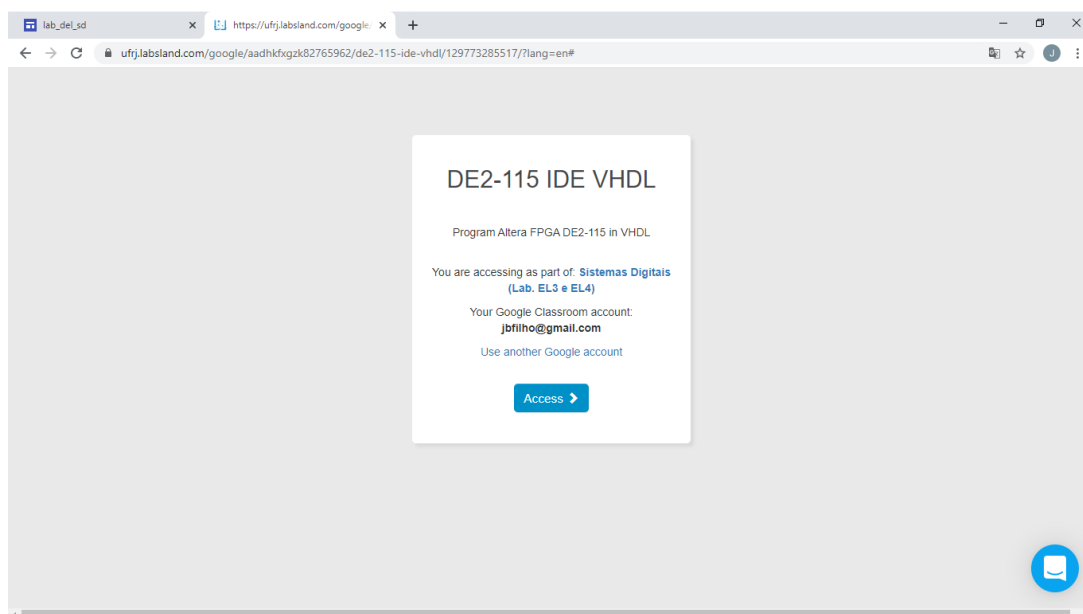
Tutorial sobre o uso da plataforma LABSLAND

Objetivo principal:

- a) Realizar o teste real (em *Hardware*) de uma solução VHDL por meio da ferramenta LABSLAND.

Passos:

- 1) Cadastrar-se na página da disciplina para o acesso as plataformas Google Classroom e LABSLAND
https://docs.google.com/forms/d/1SEctT4HwwVK8Nngt_BGWz4SSFU9S77T1ZPCxd8OJ7K4/edit?usp=sharing
- 2) Após a validação do cadastro pelo professor, acessar a plataforma Google Classroom do curso:
<https://classroom.google.com/u/0/c/MTI5NzczMjg1NTE3>
- 3) No painel do Google Classroom, há um link para o laboratório virtual, exibido abaixo para conveniência:
<https://ufrj.labsland.com/google/aadhkfxgzk82765962/de2-115-ide-vhdl/129773285517/?lang=en>
- 4) O Google deverá perguntar qual conta irá prosseguir em *labsland.com*. Escolher a conta da POLI ou clicar em outra conta, entrando com os dados de sua conta do domínio POLI.
- 5) Caso você já esteja cadastrado no Google Classroom da disciplina, deverá aparecer a tela abaixo. Clique em **Access**.



6) Nesta etapa, sua janela deverá ser:



No canto superior esquerdo, faça o seguinte:

- i) Clique na lixeira para eliminar o arquivo corrente.
- ii) Após, clique em **New**. Em seguida, defina o nome do arquivo como: *myand*. Agora, clique em **Create**.
- iii) Em seguida, na janela central, cole o código a seguir:

```
library ieee;
use IEEE.STD_LOGIC_1164.ALL;

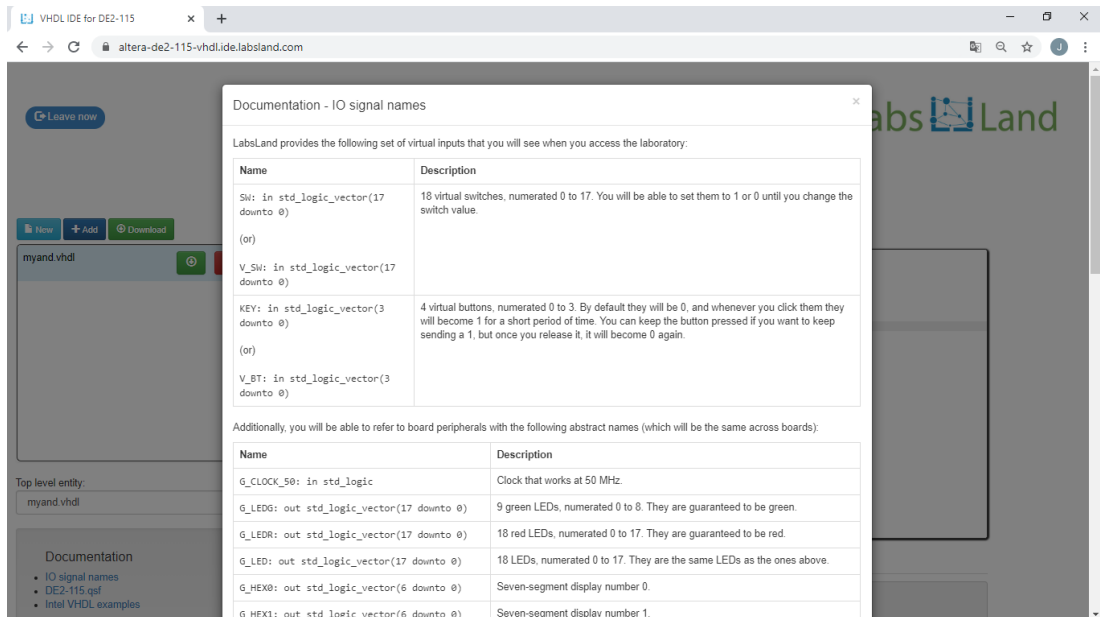
ENTITY myand IS

    PORT ( A: in std_logic;
          B: in std_logic;
          C: out std_logic);
END myand;

ARCHITECTURE teste OF myand IS
BEGIN
    C<= A AND B;
END teste;
```

Importante: o nome da entidade principal deve ser o mesmo do arquivo sem o sufixo VHDL, caso contrário ocorrerá um erro de síntese.

- 7) Agora iremos informar a ferramenta de síntese em que pinos do dispositivo as entradas e saídas de nosso projeto deverão ser conectadas. O fabricante da placa já ligou os diferentes periféricos a alguns pinos do FPGA. Na plataforma virtual, a ideia é a mesma, só que devemos modificar o bloco hierárquico mais elevado (*Top model*) e utilizar as convenções do LABSLAND. Para saber quais entradas e saídas estão disponíveis ao usuário de forma virtual, clique em *IO signal names*, na caixa cinza de título *Documentation*, que irá abrir a seguinte janela:



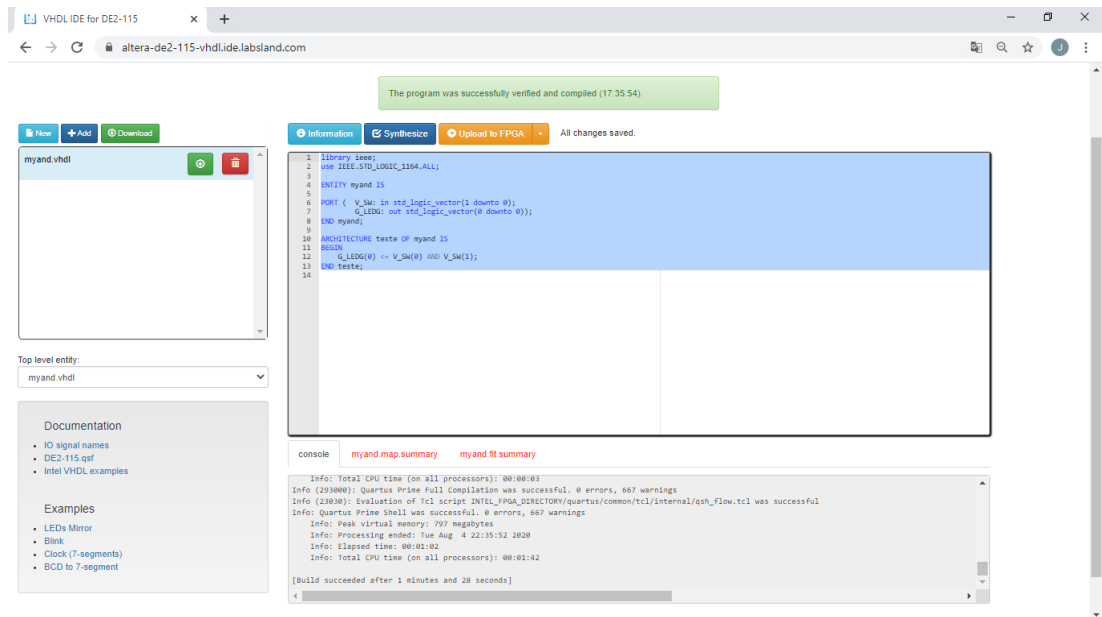
Nós iremos escolher `G_LEDG(0 downto 0)` e as chaves `V_SW(1 downto 0)`. A primeira corresponde aos LEDs verdes acima dos botões de pressão e SW corresponde as chaves mecânicas. Para isso, modifique o código conforme o seguinte:

```
library ieee;
use IEEE.STD_LOGIC_1164.ALL;

ENTITY myand IS
    PORT (V_SW:    in std_logic_vector(1 downto 0);
          G_LEDG: out std_logic_vector(0 downto 0));
END myand;

ARCHITECTURE teste OF myand IS
BEGIN
    G_LEDG(0) <= V_SW(0) AND V_SW(1);
END teste;
```

Após o término da modificação, clicar no botão azul **Synthesize**. Se tudo correr bem, você obterá a janela a seguir, que ilustra um processo de síntese completado com sucesso. Note a mensagem: “The program was successfully verified and compiled”, bem como uma série de mensagens da ferramenta Quartus na caixa **console**, a última delas: [Build succeeded after x minutes and y seconds].



8) Cabe agora transferir o programa para a placa virtual. Para fazer isso, clique no botão **Upload to FPGA**.

Após alguns instantes e passos intermediários, você será direcionado para a tela a seguir. Clique então em **SW0** para ativar a chave correspondente.



Em seguida, clique em **SW1**. Após um pequeno intervalo de tempo, o led verde acima do último botão de pressão a direita deverá acender, conforme mostrado a seguir.

