PRIMATA: Um Processador Maciçamente Paralelo

Maria Fernanda Eppinghaus Belford Roxo

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. Otto Carlos Muniz Bandeira Duarte, D.Ing.

Prof. Adriano Joaquim de Oliveira Cruz, PhD

Prof. Marcos José Santana, PhD

Prof. Marco Aurélio Cavalcanti Pacheco, PhD

Prof. Antonio Carneiro de Mesquita Filho, Dr. d'Etat

RIO DE JANEIRO, RJ - BRASIL

MARÇO DE 1994

ROXO, MARIA FERNANDA EPPINGHAUS BELFORD

PRIMATA: Um Processador Maciçamente Paralelo [Rio de Janeiro] 1994.

VIII, 167 pp, 29,7 cm (COPPE/UFRJ, M.Sc., Engenharia Elétrica, 1994)

Tese - Universidade Federal do Rio de Janeiro, COPPE.

1 - Arquiteturas Paralelas

I. COPPE/UFRJ II. Título (série)

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

PRIMATA: Um Processador Maciçamente Paralelo

Maria Fernanda Eppinghaus Belford Roxo

Março de 1994

Orientadores: Adriano Joaquim de Oliveira Cruz

Otto Carlos Muniz Bandeira Duarte

Programa: Engenharia Elétrica

Este trabalho apresenta o desenvolvimento do Elemento Processador (EP) do projeto PRIMATA, que é uma arquitetura SIMD maciçamente paralela orientada para o processamento de imagens e matrizes. O PRIMATA é composto por uma matriz de Elementos Processadores, controlados por uma única Unidade de Controle. No desenvolvimento do Elemento Processador procurou-se otimizá-lo para a execução de operações aritméticas, porém sempre respeitando a restrição do custo individual de cada EP. Para isto foram analisadas algumas propostas de arquiteturas e algoritmos para a execução das operações aritméticas mais significativas. O resultado desta análise determinou um processador de 4 *bits*.

Abstract of Thesis presented to COPPE/UFRJ as partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

PRIMATA: A Massively Parallel Processor

Maria Fernanda Eppinghaus Belford Roxo

March, 1994

Thesis Supervisors: Adriano Joaquim de Oliveira Cruz

Otto Carlos Muniz Bandeira Duarte

Department: Eletric Engineering

This work presents the development of a Processing Element (PE) for the PRIMATA project, a SIMD massively parallel architecture designed for image and matrix processing. PRIMATA is an array of PEs controlled by a single Control Unit. The definition of the Processing Element seek to optimize the execution of arithmetic operations under the restriction of PE coast. The proposed architectures and integer arithmetic algorithms are discussed. The chosen 4 *bits* Proocessing Element is presented.

ÍNDICE

I INTRODUÇÃO

II ESTUDO DAS ARQUITETURAS SIMD

II.1 Introdução II.1

II.2 SOLOMON (*Simultaneous Operation Linked Ordinal MOdular Network*) II.3

II.3 ILLIAC IV II.5

II.4 MPP (*Massively Parallel Processor*) II.6

II.5 DAP (*Distributes Array Processor*) II.8

II.6 *Connection Machine* II.10

II.7 BLITZEN II.11

II.8 MasPar II.14

III OPERAÇÕES ARITMÉTICAS BÁSICAS ENVOLVENDO NÚMEROS INTEIROS

III.1 Notações III.1

III.2 Representação em Complemento a Dois III.2

III.3 Soma de Inteiros III.5

III.4 Subtração de Inteiros III.8

III.5 Multiplicação de Inteiros III.10

III.5.1 Multiplicação de Dois Inteiros Positivos III.10

III.5.2 Combinação de Sinais na Multiplicação III.11

III.5.3 EP Básico de 1 *Bit* para a Multiplicação III.18

III.5.4 EPs de 1 *Bit* com Memória Interna para a Multiplicação III.18

III.5.5 EP Básico de 4 *Bits* para a Multiplicação III.20

III.5.6 EP de 4 *Bits* com Banco de Registradores para a Multiplicação III.24

III.6 Divisão de Inteiros III.27

III.6.1 Divisão com Restauração e sem Restauração III.27

III.6.2 Divisão com Sinal III.29

III.6.3 EP Básico de 1 *Bit* para a Divisão III.33

III.6.4 EPs de 1 *Bit* com Memória Interna para a Divisão III.34

III.6.5 EP Básico de 4 *Bits* para a Divisão III.36

III.6.6 EP de 4 *Bits* com Banco de Registradores para a Divisão III.38

III.7 Escolha do Elemento Processador III.42

IV OPERAÇÕES ARITMÉTICAS BÁSICAS ENVOLVENDO NÚMEROS REAIS

IV.1 O Padrão IEEE IV.1

IV.2 Soluções Básicas de Implementação IV.5

IV.2.1 Modificações na Arquitetura do Elemento Processador IV.6

IV.2.2 Modificações Feitas em Relação ao Padrão IEEE IV.9

IV.2.3 Considerações Gerais de Implementação IV.11

IV.3 Soma em Ponto-Flutuante IV.13

IV.4 Multiplicação em Ponto-Flutuante IV.22

IV.5 Análise de Desempenho IV.27

V IMPLEMENTAÇÃO DO ELEMENTO PROCESSADOR

V.1 Arquitetura Final do Elemento Processador V.1

V.1.1 - Comunicação entre EPs V.1

V.1.2 - Comunicação entre os EPs e a Unidade de Controle V.4

V.1.3 - Palavra de Controle V.5

V.2 Simulação Lógica do EP V.7

V.3 Implementação em EPLDs V.7

VI CONSIDERAÇÕES FINAIS E CONCLUSÕES

VI.1 Análise das Propostas de Arquiteturas por Número de Transistores VI.1

VI.2 Conclusões VI.5

VI.3 Perspectivas Futuras VI.8

BIBLIOGRAFIA

APÊNDICE A ALGORITMOS DE OPERAÇÕES ARITMÉTICAS

APÊNDICE B DESCRIÇÃO DA PALAVRA DE CONTROLE DO ELEMENTO PROCESSADOR

APÊNDICE C SIMULADOR LÓGICO DE ARQUITETURAS DE PROCESSADORES (SLAP)

LISTA DE FIGURAS

II.1	Organização espacial	II.1
II.2	Estrutura lógica do módulo	II.2
II.3	Diagrama funcional do elemento processador do SOLOMON	II.4
II.4	Diagrama funcional do elemento processador do MPP	II.7
II.5	Estrutura do registrador de deslocamento programável	II.8
II.6	Diagrama funcional simplificado do elemento processador do DAP	II.9
II.7	Diagrama funcional simplificado do elemento processador da CM-2	II.11
II.8	Diagrama funcional do elemento processador do BLITZEN	II.12
II.9	Configuração da rede de interconexões entre EPs no BLITZEN	II.14
II.10	Diagrama funcional do elemento processador do MasPar MP-1	II.15
III.1	EP básico de 1 *bit* para a soma	III.6
III.2	EP básico de 4 *bits* para a soma	III.7
III.3	EP de 1 *bit* com memória *double port* para a soma	III.8
III.4	EP de 1 *bit* com memória *triple port* para a soma	III.8
III.5	EP básico de 1 *bit* para a subtração	III.9
III.6	EP básico de 4 *bits* para a subtração	III.9
III.7	EP básico de 1 *bit* para a multiplicação	III.18
III.8	EP de 1 *bit* com registrador de deslocamento programável para a multiplicação	III.19
III.9	EP de 1 *bit* com fila FIFO para a multiplicação	III.19
III.10	Soma de uma palavra de 4 *bits* deslocada de 1 *bit*	III.21
III.11	Soma deslocada de 1 *bit* para memória com largura de 4 *bits*	III.22
III.12	EP básico de 4 *bits* para a multiplicação	III.23
III.13	Banco de registradores A para a multiplicação	III.25
III.14	EP de 4 *bits* com banco de registradores para a multiplicação	III.26
III.15	EP básico de 1 *bit* para a divisão	III.33
III.16	EP de 1 *bit* com registrador de deslocamento programável para a divisão	III.34
III.17	EP de 1 *bit* com fila FIFO para a divisão	III.35
III.18	EP básico de 4 *bits* para a divisão	III.37
III.19	Subtração deslocada de 1 *bit* para memória com largura de 4 *bits*	III.37
III.20	Banco de registradores A para a divisão	III.39
III.21	EP de 4 *bits* com banco de registradores para a divisão	III.40
III.22	Ciclos necessários à execução de operações sobre números inteiros de 16 *bits*	III.43
IV.1	Formato *single* do padrão IEEE	IV.3
IV.2	EP de 4 *bits* com banco de registradores para operações de ponto-flutuante	IV.8
IV.3	Formato de armazenamento de resultados parciais	IV.9

IV.4 Armazenamento do formato *single* numa memória com largura de 4 *bits* IV.12
IV.5 Descrição das variáveis STATUS1 e STATUS2 na soma IV.19
IV.6 Descrição das variáveis STATUS1 e STATUS2 na multiplicação IV.26
V.1 Comunicação entre EPs *bit* a *bit* com os quatro vizinhos mais próximos V.1
V.2 Configuração da rede de interconexões entre EPs V.2
V.3 EP de 4 *bits* com banco de registradores V.4
V.4 Arquitetura de uma macrocélula da linha MAX5000 V.11
VI.1 Transistores necessários à implementação das arquiteturas VI.4

LISTA DE TABELAS

III.1 Correções para a multiplicação de inteiros com sinal III.12
III.2 Ciclos necessários à execução de operações sobre números inteiros de n *bits* III.42
III.3 Ciclos necessários à execução de operações sobre números inteiros III.42
III.4 Ciclos necessários à execução de operações sobre números inteiros de 8 *bits* III.44
IV.1 Formato *single* do padrão IEEE IV.4
IV.2 Casos envolvendo operandos especiais IV.9
IV.3 Resultado da soma para os casos de operandos especiais IV.16
IV.4 Resultado da soma utilizando o algoritmo inicial IV.16
IV.5 Expoente do resultado da multiplicação para os casos de operandos especiais IV.22
IV.6 Mantissa do resultado da multiplicação para os casos de operandos especiais IV.23
IV.7 Ciclos necessários à execução de operações em ponto-flutuante com 32 *bits* IV.27
V.1 Combinações de direções e roteamentos obtidos V.3
V.2 Relação de operações inteiras, operandos e resultados simulados V.9
V.3 Relação de operações reais, operandos e resultados simulados V.9
VI.1 Número de transistores para implementação CMOS de funções básicas VI.2
VI.2 Número de transistores para implementação CMOS do EP1 VI.2
VI.3 Número de transistores para implementação CMOS do EP1SH VI.3
VI.4 Número de transistores para implementação CMOS do EP1FIFO VI.3
VI.5 Número de transistores para implementação CMOS do EP4 VI.3
VI.6 Número de transistores para implementação CMOS do EP4BR VI.4
VI.7 Relação custo X benefício normalizada para o EP4BR VI.5
VI.8 Relação custo X benefício do MasPar e do EP4BR normalizada VI.8