Arquitetura de Implementação de Alto Desempenho para Sistemas de Comunicação Multimídia

Célio Vinicius Neves de Albuquerque

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS PROGRAMAS DE PÓS-GRADUAÇÃO EM ENGENHARIA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Aprovada por:

_____

Otto Carlos Muniz Bandeira Duarte, Dr.Ing.
(Presidente)

_____

Carlos Becker Westphall, Dr.

_____

Jorge Lopes de Souza Leão, Dr.Ing.

_____

Luiz Alberto Ávila de Medeiros Martinho, M.Sc.

RIO DE JANEIRO, RJ - BRASIL

ABRIL DE 1995

ALBUQUERQUE, CÉLIO VINICIUS NEVES DE

Arquitetura de Implementação de Alto Desempenho para Sistemas de Comunicação Multimídia [Rio de Janeiro] 1995.

xiv, 132 p. 29.7 cm (COPPE/UFRJ, M.Sc., Engenharia Elétrica, 1995).

Tese - Universidade Federal do Rio de Janeiro, COPPE.

1. Redes de Computadores

I. COPPE/UFRJ II. Título (Série)

Ao futuro.

AGRADECIMENTOS

Aos meus pais, pelo amor e pelo apoio em todas as minhas decisões.

Ao Prof. Otto Carlos Muniz Bandeira Duarte, por sua amizade e pela orientação nos momentos importantes de minha formação acadêmica e profissional.

Aos membros da banca examinadora, pela valiosa presença.

À minha companheira Ana Lucia, pelo amor, pela compreensão e apoio nos momentos mais difíceis.

Aos amigos Ronaldo Mussauer, Patrícia Ennes e Marcelo Dias, pela amizade, companhia e interesse no desenvolvimento deste trabalho.

Ao amigo Marcio Faerman, pela valiosa participação neste trabalho e nos artigos que escrevemos juntos.

Ao PEE/COPPE, pelos equipamentos utilizados na execução desta tese. Aos professores, por seus ensinamentos. Às secretárias, pelo suporte administrativo.

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para obtenção do grau de Mestre em Ciências (M.Sc.).

ARQUITETURA DE IMPLEMENTAÇÃO DE ALTO DESEMPENHO PARA SISTEMAS DE COMUNICAÇÃO MULTIMÍDIA

Célio Vinicius Neves de Albuquerque

Abril de 1995

Orientador: Otto Carlos Muniz Bandeira Duarte

Programa: Engenharia Elétrica

Este trabalho propõe uma arquitetura de implementação de alto desempenho para sistemas de comunicação multimídia: a arquitetura GTA/MM (Grupo de Teleinformática e Automação - MultiMídia). Esta arquitetura é constituída de módulos de escalonamento de tarefas com prioridades; gerenciamento de memória otimizado para o processamento de blocos de dados de tamanho fixo; gerenciamento de temporizações; mecanismos para garantia de qualidade de serviço, mecanismos de sincronização e de protocolos de comunicação de alta velocidade.

Foram implementados diversos mecanismos para garantia de QOS. Destacam-se as propostas do mecanismo Janela Móvel Particionada e do modelo de implementação do mecanismo *Jitter Earliest-Due-Date*. O alto desempenho da arquitetura proposta é comprovado por medidas de vazão do sistema de comunicação implementado.

Abstract of Thesis presented to COPPE/UFRJ as partial fulfillment of the requirements for degree of Master of Science (M.Sc.).

HIGH PERFORMANCE IMPLEMENTATION ARCHITECTURE FOR MULTIMEDIA COMMUNICATION SYSTEMS

Célio Vinicius Neves de Albuquerque

April, 1995

Thesis Supervisor: Otto Carlos Muniz Bandeira Duarte

Department: Electrical Engineering

This work proposes a high performance implementation architecture for multimedia communication systems: the GTA/MM architecture. This architecture consists of task scheduling modules with priorities, memory managers for fixed size data blocks, timer managers, quality of service mechanisms, media synchronization techniques and high speed communication protocols.

Several QOS mechanisms were implemented. The proposals of Time Slotted Moving Window mechanism and of the implementation model of Jitter Earliest-Due-Date are the remarkable ones. The high performance of the proposed architecture is shown in throughput measurements of the implemented communication systems.

ÍNDICE

Capítulo I Introdução **I.1**

I.1 A Rede Digital de Serviços Integrados - Faixa Larga I.1

I.2 Aplicações Multimídias I.3

I.3 Motivação I.4

Capítulo II Garantia de Qualidade de Serviço **II.1**

II.1 Introdução II.1

II.2 Caracterização da Qualidade de Serviço II.3

II.2.1 Vazão do Tráfego II.5

II.2.2 Sensibilidade ao Atraso II.7

II.2.3 Sensibilidade a Erros II.9

II.2.4 Nível de Garantia de Qualidade de Serviço II.11

II.3 Controle de Admissão de Conexões II.13

Capítulo III Mecanismos para Garantia de Qualidade de Serviço **III.1**

III.1 Introdução III.1

III.2 Mecanismos de Policiamento III.4

III.2.1 Balde Furado III.5

III.2.2 Janela Saltitante III.8

III.2.3 Janela Saltitante Sincronizada III.9

III.2.4 Janela Deslizante III.10

III.2..4.1 Janela Deslizante Contínua III.10

III.2.4.2 Janela Deslizante Discretizada III.12

III.2.5 Janela Móvel Particionada III.12

III.3 Mecanismos para Garantia de QOS III.16

III.3.1 *Virtual Clock* III.16

III.3.2 *Fair Queueing* III.18
III.3.3 *Stop-and-Go* III.20
III.3.4 *Hierarchical Round Robin* III.21
III.3.5 *Delay Earliest-Due-Date* III.22
III.3.6 *Jitter Earliest-Due-Date* III.25
III.3.7 *Rate Controlled Static Priority* III.27
III.3.8 Comparação do mecanismos III.29

Capítulo IV A Arquitetura de Implementação GTA/MM IV.1
IV.1 Introdução IV.1
IV.2 A Arquitetura de Implementação GTA/OSI IV.5
IV.2.1 Estruturas de Dados das Interfaces IV.5
IV.2.2 Informações de Controle do Protocolo IV.8
IV.2.3 Gerenciamento de Memória IV.11
IV.2.4 Escalonamento de Tarefas IV.13
IV.2.5 Gerenciamento de Temporizações IV.14
IV.3 A Arquitetura de Implementação Proposta IV.15
IV.4 O Módulo de Gerenciamento de Memória IV.18
IV.5 O Módulo de Escalonamento de Tarefas IV.21
IV.6 O Módulo de Gerenciamento de Temporizações IV.25
IV.7 Arquitetura de Implementação e Protocolos IV.28
IV.8 Medidas de Desempenho IV.29

Capítulo V Implementação de Mecanismos para Garantia de Qualidade de Serviço V.1
V.1 Introdução V.1
V.2 Balde Furado V.1
V.3 Balde Furado com Suavização do Tráfego de Saída V.3
V.4 Janela Saltitante V.4

V.5 Janela Saltitante Sincronizada V.4
V.6 Janela Deslizante Contínua V.5
V.7 Janela Deslizante Discretizada V.6
V.8 Janela Móvel Particionada V.7
V.9 *Stop-and-Go* V.8
V.10 *Virtual Clock* V.9
V.11 *Hierarchical Round Robin* V.10
V.12 *Jitter Earliest-Due-Date* V.11
V.13 Resultados V.14

Capítulo VI Conclusões **VI.1**

Bibliografia **BIB.1**

ÍNDICE DAS FIGURAS

Figura I.1 Protocolos implementados na Arquitetura GTA/OSI I.5

Figura III.1 Mudança na taxa de transmissão devido à multiplexação.....III.2

Figura III.2 Representações do mecanismo balde furado.....III.5

Figura III.3 Versão do mecanismo balde furado descrita em [Par92]. III.6

Figura III.4 Variações do mecanismo balde furado. III.7

Figura III.5 O mecanismo janela saltitante. III.8

Figura III.6 Tráfego de pior caso para o mecanismo janela saltitante.....III.9

Figura III.7 Tráfego de pior caso para o mecanismo janela saltitante sincronizada.....III.10

Figura III.8 O mecanismo janela deslizante contínua.....III.11

Figura III.9 Tráfego de pior caso para o mecanismo janela deslizante. III.12

Figura III.10 O mecanismo janela móvel particionada para a) 2 partições e b) 5 partições. III.14

Figura III.11 Tráfego de pior caso para mecanismo janela móvel particionada III.15

Figura III.12 Disciplina de Serviço *Stop-and-Go*. III.20

Figura III.13 *Hierarchical Round Robin*. III.21

Figura III.14 Mecanismo de eliminação distribuída de *jitter* do *Jitter-EDD*.....III.27

Figura IV.1 A arquitetura de implementação GTA/MM..... IV.2

Figura IV.2 A Arquitetura de Implementação Original..... IV.6

Figura IV.3 Estrutura de Dados das Interfaces..... IV.7

Figura IV.4 Técnicas de Inserção de PCI..... IV.8

Figura IV.5 Transferência de Dados entre Camadas Adjacentes..... IV.11

Figura IV.6 Gerenciamento de Memória..... IV.12

Figura IV.7 Versões do Escalonador de Tarefas. IV.14

Figura IV.8 Temporização proposta por Varguese & Lauck..... IV.16

Figura IV.9 Procedimento de alocação e liberação de blocos pelos fluxos de transmissão e de recepção. IV.21

Figura IV.10 Módulo de escalonamento de tarefas. IV.22
Figura IV.11 Comparação das Estruturas de Primitivas e da Fila de Tarefas. IV.23
Figura IV.12 Evolução da Arquitetura de Implementação..... IV.30
Figura V.1 Diagrama em blocos da implementação do balde furado.....V.2
Figura V.2 Diagrama em blocos da implementação do balde furado com suavização do tráfego de saída. V.3
Figura V.3 Diagrama em blocos da implementação da janela saltitante. V.4
Figura V.4 Diagrama em blocos da implementação da janela saltitante sincronizada. V.5
Figura V.5 Diagrama em blocos da implementação da janela deslizante contínua. V.6
Figura V.6 Diagrama em blocos da implementação da janela deslizante discretizada. V.7
Figura V.7 Diagrama em blocos da implementação da janela móvel particionada. V.8
Figura V.8 Diagrama em blocos da implementação do *stop-and-go*. V.9
Figura V.9 Diagrama em blocos do mecanismo *jitter-EDD*. V.12
Figura V.10 Procedimento de execução do regulador do mecanismo *jitter-EDD*. V.13
Figura V.11 Evolução no tempo das variáveis TRH e ET_k. V.13
Figura V.12 Probabilidades de violação do mecanismo JMP em função do número de partições para o tráfego geométrico.....V.18
Figura V.13 Probabilidades de violação do mecanismo JMP em função do número de partições para o tráfego rajada/silêncio. V.18

ÍNDICE DAS TABELAS

Tabela III.1 Comparação entre os algoritmos *Fair Queueing* e *Virtual Clock*. III.19

Tabela III.2 Caracterização da Qualidade de Serviço. III.29

Tabela III.3 Características de Garantia de Qualidade de Serviço. III.30

Tabela IV.1 Medidas de Desempenho da Evolução da Arquitetura de Implementação.. IV.30

Tabela V.1 Comparação entre os mecanismos de policiamento. V.15